

ゲート絶縁膜に CYTOP を用いた トップゲート構造酸化インジウム TFT の低温作製と特性評価

Low-temperature fabrication of indium oxide thin-film transistors with top-gate structure using CYTOP gate insulator and their electrical characterization

工学院大学 高機能デバイス研究室
熊本勇紀
指導教員：相川慎也

工学院大学 工学部 電気電子工学科 高機能デバイス研究室

キーワード：半導体, 薄膜トランジスタ(TFT), In_2O_3 , CYTOP

1. 緒言

近年、IoT 化が進められている中で、必然的に電子デバイスの需要が高まっている。特にその中でも、次世代情報通信デバイスに不可欠な氧化物薄膜トランジスタ (TFT) の研究が盛んに行われている。氧化物半導体は、従来のアモルファス Si と異なり、プラスチックのガラス転移温度と同程度の低温で成膜が可能であり、将来のフレキシブル化に適した半導体材料である¹⁾。

現在主に用いられている氧化物 TFT の構造は逆スタガ型(ボトムゲート型)である。これは、ゲート電極、ゲート絶縁膜層、半導体層、ソース/ドレイン電極の順に成膜を経て作製される。¹⁾この作製プロセス上、半導体層への影響の少なから高移動度かつ高性能な TFT の製作が比較的容易である。しかしながら、半導体層が表面に露出しているためにガス吸着などの影響を受けやすい。そのため、パッシベーション層を形成する必要があるとともに、トップに位置するソース/ドレイン電極の間隔を保持しなければならない、微細化に限界があることが指摘されている。

一方で、スタガ型(トップゲート型)は半導体層、ソース/ドレイン電極、ゲート絶縁膜層、ゲート電極の順に成膜される。半導体層へのダメージが懸念されるが、その表面とソース/ドレイン電極間に絶縁体が入り、トップがゲート電極だけであるため、作製プロセスと構造の最適化により、将来的に

は逆スタガ型よりも更なる微細化が可能である²⁾。

本研究では、絶縁膜層および半導体層に低温成膜可能な CYTOP およびアモルファス酸化インジウム($\text{a-In}_2\text{O}_3$)をそれぞれ用いたトップゲート構造の TFT を作製し、その電気特性を評価する。

2. 実験方法

ダイシングソーを用いて Si ウェーハを 15×15 mm 角に切り出し、アセトン・IPA による超音波洗浄、RIE による O_2 プラズマ暴露により洗浄した。

Si 基板上に Fig 1 に示すトップゲート構造 TFT を形成するため、半導体層、ソース/ドレイン電極、絶縁膜層、ゲート電極の順に成膜を行った。まず、半導体層として RF マグネトロンスパッタ装置を用いて $\text{a-In}_2\text{O}_3$ を成膜し、真空蒸着装置を用いてソース/ドレイン電極を銅(Cu)で成膜した。次に、CYTOP をスピンコート法にて成膜した。所望の膜厚を得るため、原液と薄め液の濃度を最適化した CYTOP を用いた。CYTOP 膜厚によるゲートリーク電流への影響を調べるため、数種類の膜厚の TFT を作製した。スピンコーティング後、ホットプレートによりプリバイクをし、最後に、ゲート電極として Cu を真空蒸着によって成膜した。

比較サンプルとして、同一の材料を用いてボトムゲート構造 TFT も作製した。

これらの手順により作製した TFT を I-V 測定により比較した。

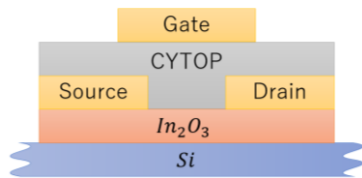


Fig.1 Schematic structure of staggered type top-gate Indium Oxide TFT structure using CYTOP gate insulator

3. 実験結果及び考察

Fig2にCYTOPを300nm成膜したTFTのI-V特性を示す。ドレイン電流とゲート電流が同じ値を取っていることから、ゲート電極とソース/ドレイン電極間で大きなリーク電流が生じていることがわかる。作製したTFTの多くにこのようなリーク電流が確認された。薄く塗布する際の低い濃度のCYTOPでは、スピコーターによる処理時に半導体層とソース/ドレイン電極の凹凸の影響を受けやすく、ピンホールが形成されたためと考える。

Fig3にCYTOPを二度塗りし500nm成膜したTFTのI-V特性を示す。ゲート電圧が低い内はドレイン電流とゲート電流の値が近いため、リーク電流が確認できる。しかし、ゲート電圧が高くなると完全に分離し、ドレイン電流がゲート電圧依存を示していることから、膜厚を厚くしたことによりリークを防げていることがわかる。厚く塗布する際の高い濃度のCYTOPでは、ピンホールが発生しやすいと考えられるが、今回は粘度の薄い溶液を2度塗りしたことにより回避できた可能性が高い。今後、これらの関係を詳細に調査していく。

4. 結論と今後の展望

ゲート絶縁膜にCYTOPを用いたトップゲート構造のTFTを作製した。CYTOPの厚さによって、ゲートリーク電流の大きさが異なることを確認した。薄い場合、比較的低い濃度のCYTOPではスピコーターによる処理時に、半導体層とソース/ドレイン凹凸の影響を受けやすくリークの原因になってしまう。しかし、厚く塗布するために濃度の高いCYTOPを用いるとピンホールが発生しやすく、それもまたリークの原因になってしまう。よって、CYTOPで

大きなリークが生じないだけの膜厚を得るためには、ピンホールが発生しにくい濃度で複数回塗布とプリベイクを繰り返すことが有効であると考えられる。今後の展望としては、酸化インジウムをアモルファス状態で高いスイッチング特性を示せるような、よりリーク電流を減少させた安定したCYTOPの成膜を目指す。

5. 参考文献

- 1) Hosono, Hideo. "How we made the IGZO transistor." *Nature Electronics* 1.7 (2018): 428-428.
- 2) a-Si TFTの液晶ディスプレイへの応用, 堀田定吉, 応用物理 59(10), p1294-1305, 1990-10 応用物理学会

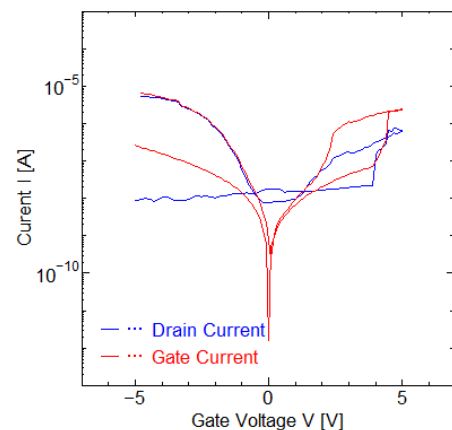


Fig2 I-V characteristics of a TFT with a thickness of 300 nm in CYTOP

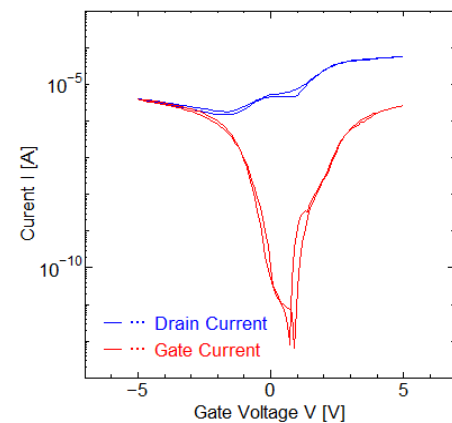


Fig3 I-V characteristics of a TFT with a thickness of 500 nm in CYTOP